

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

METHOD OF GENERATING STANDARD PATTERN FOR FAULT DIAGNOSIS AND FAULT DIAGNOSIS EQUIPMENT

[In my patents list](#) [Print](#)

[Bibliographic data](#) [Description](#) [Claims](#) [Mosaics](#) [Original document](#) [INPADOC-EGAL status](#)

Patent number: JP2001209415
Publication date: 2001-08-03
Inventor: KISHI YASUYUKI
Applicant: MATSUSHITA ELECTRIC WORKS LTD.

Classification:

- international: G05B19/05; G05B3/02
- european: JP20000016399 20000126

Priority number(s):

[View INPADOC patent family](#)

Abstract of JP2001209415

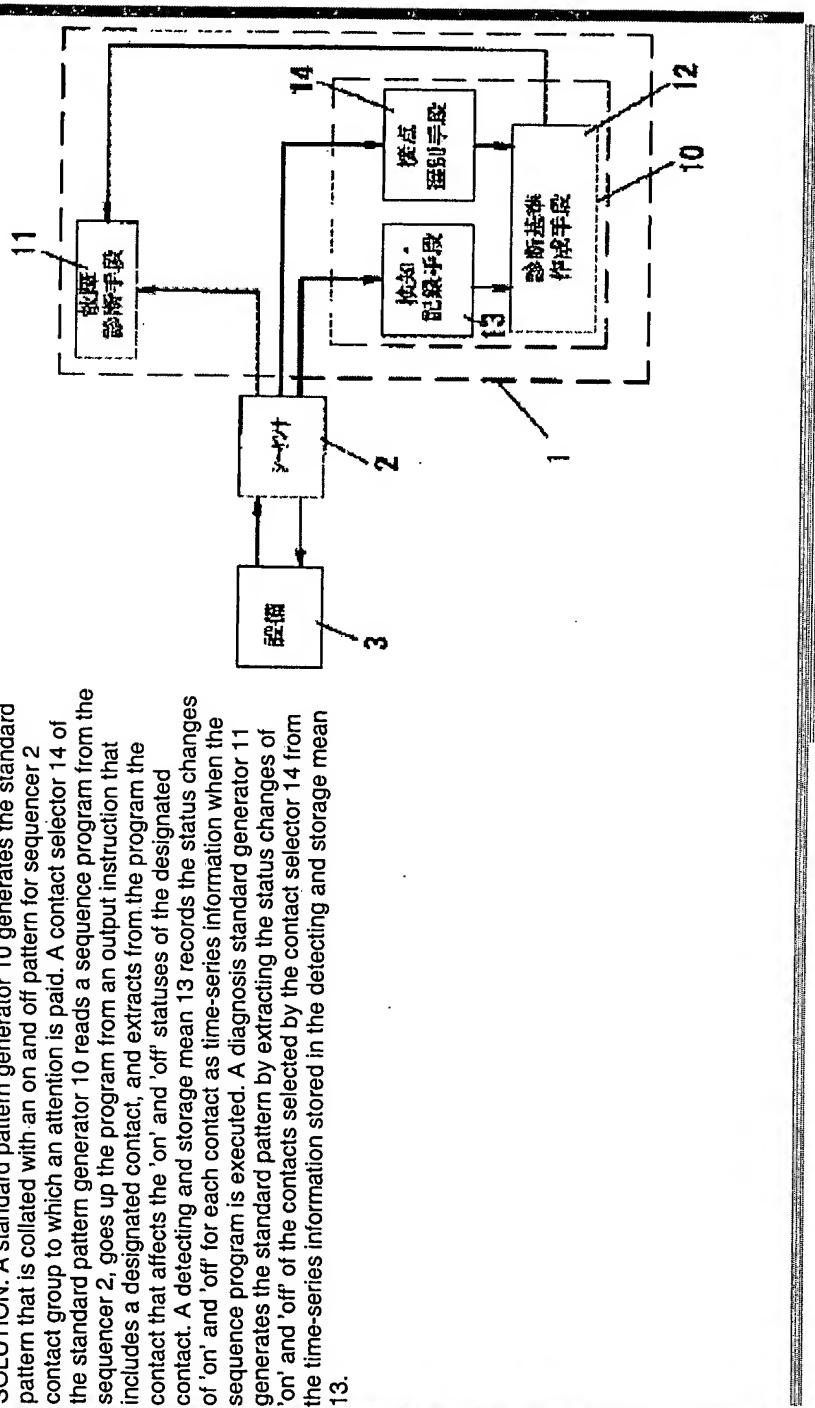
What does A₁, A₂, A₃ and B mean after an EP publication number, which appears sometimes under the Also published as list?
 » What is a cited document?
 » Why do I not always see cited documents?
 » Why do I sometimes see the abstract of a corresponding document?
 » What is a mosaic?

Quick Help

» Why are some tabs grey for certain documents?
 » Why does a list of documents with the title Also published is appear sometimes and what are these documents?
 » What does A₁, A₂, A₃ and B mean after an EP publication number, which appears sometimes under the Also published as list?
 » What is a cited document?
 » Why do I not always see cited documents?
 » Why do I sometimes see the abstract of a corresponding document?
 » What is a mosaic?

PROBLEM TO BE SOLVED: To provide a method for generating a highly reliable standard pattern with contact statuses of 'on' and 'off' which have a close relationship with programming.

SOLUTION: A standard pattern generator 10 generates the standard pattern that is collated with an on and off pattern for sequencer 2 contact group to which an attention is paid. A contact selector 14 of the standard pattern generator 10 reads a sequence program from the sequencer 2, goes up the program from an output instruction that includes a designated contact, and extracts from the program the contact that affects the 'on' and 'off' statuses of the designated contact. A detecting and storage mean 13 records the status changes of 'on' and 'off' for each contact as time-series information when the sequence program is executed. A diagnosis standard generator 11 generates the standard pattern by extracting the status changes of 'on' and 'off' of the contacts selected by the contact selector 14 from the time-series information stored in the detecting and storage mean 13.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-163999

(P2000-163999A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl.⁷

G 11 C 29/00

G 06 F 1/06

1/10

G 11 C 11/407

H 03 L 7/00

識別記号

6 7 1

F I

テマコード(参考)

G 11 C 29/00

6 7 1 Z 5 B 0 2 4

H 03 L 7/00

D 5 B 0 7 9

H 03 K 5/135

5 J 0 0 1

G 06 F 1/04

3 1 2 A 5 J 1 0 6

3 3 0 A 5 L 1 0 6

審査請求 未請求 請求項の数 8 OL (全 20 頁) 最終頁に続く

(21)出願番号 特願平10-331364

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(22)出願日 平成10年11月20日(1998.11.20)

(72)発明者 谷口 暢孝

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 富田 浩由

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100094525

弁理士 土井 健二 (外1名)

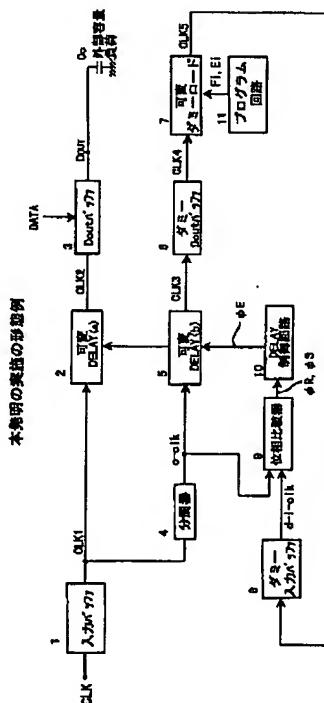
最終頁に続く

(54)【発明の名称】 セルフタイミングコントロール回路

(57)【要約】

【課題】 D L L回路を利用したセルフタイミングコントロール回路が生成するタイミングクロックの調整された位相が、製造ばらつきにより最適値から変動することを防止する。

【解決手段】 本発明のセルフタイミングコントロール回路は、容量負荷が固定されたダミーロードの代わりに、容量負荷を電気的に調整可能な可変ダミーロードを設置する。本発明によれば、デバイスのウェハ試験工程において、可変ダミーロードの容量負荷を調整して最適値に設定することができる。最適値に設定された可変ダミーロードの容量負荷は、フューズ等のプログラム可能なメモリ内に設定値が固定される。これにより、製造上のばらつき等によるダミーロード容量負荷の変動を補正することができ、クロック発生器での位相調整をより正確に行うことができる。



【特許請求の範囲】

【請求項1】供給される供給クロックを遅延させて前記供給クロックと所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路において、

前記供給クロックが入力され、当該供給クロックの周波数に応じて制御された遅延量だけ該供給クロックを遅延させる第1の可変遅延回路と、

前記第1の可変遅延回路に接続され、前記供給クロックの周波数にかかわらず設定された所定の遅延量だけ前記供給クロックを遅延させる追加遅延回路とを有し、

前記追加遅延回路は、前記遅延量が可変設定される可変ダミーロードを有し、当該遅延量を設定するプログラマブルメモリにより前記可変ダミーロードの遅延量が可変設定されることを特徴とするセルフタイミングコントロール回路。

【請求項2】請求項1において、

更に、前記供給クロックを取り込むクロック入力バッファと、

前記クロック入力バッファにより取り込まれた供給クロックを入力し、前記第1の可変遅延回路と同様に制御された遅延量だけ遅延し、前記タイミングクロックを生成する第2の可変遅延回路と、

前記タイミングクロックに同期して出力信号を出力する出力バッファとを有し、

前記追加遅延回路は、更に、前記クロック入力バッファ及び前記出力バッファと同様の遅延量を有するダミー入力バッファ及びダミー出力バッファとを有し、

前記セルフタイミングコントロール回路は、更に、前記供給クロックと前記第1の可変遅延回路及び追加遅延回路により遅延された可変クロックとを比較し、当該クロックの位相が所定の関係になるように前記第1及び第2の可変遅延回路の遅延量を制御する位相比較・遅延制御回路を有することを特徴とするセルフタイミングコントロール回路。

【請求項3】請求項1または2において、

更に、前記可変ダミーロードの遅延量を外部信号により設定する外部設定回路を有することを特徴とするセルフタイミングコントロール回路。

【請求項4】請求項3において、

更に、前記外部設定回路による前記可変ダミーロードの遅延量の設定と、前記プログラマブルメモリによる前記可変ダミーロードの遅延量の設定とを切り換える切替回路を有することを特徴するセルフタイミングコントロール回路。

【請求項5】請求項4において、

前記切替回路は、試験モード時に前記外部設定回路による遅延量の設定を活性化し、通常動作モード時に前記プログラマブルメモリによる遅延量の設定を活性化することを特徴とするセルフタイミングコントロール回路。

【請求項6】請求項1または2において、

前記出力バッファが、所定の容量の外部容量負荷に接続される出力端子を有し、

前記可変ダミーロードの容量負荷が、前記外部容量負荷よりも所定の割合だけ小さく、前記ダミー出力バッファの駆動能力が前記出力バッファの駆動能力より前記所定の割合に応じて小さいことを特徴とするセルフタイミングコントロール回路。

【請求項7】請求項1または2において、

前記プログラマブルメモリは、フェーズ素子を有するメモリセルからなることを特徴とするセルフタイミングコントロール回路。

【請求項8】請求項1または2において、

前記可変ダミーロードは、可変抵抗または可変容量により構成されることを特徴とするセルフタイミングコントロール回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部クロックと所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路に関し、特に、製造ばらつきなどの理由で所望の位相関係が得られなくなるのを防止することができるセルフタイミングコントロール回路に関する。

【0002】

【従来の技術】同期型のDRAM (SDRAM) など、外部クロックに同期して入力信号を入力し、出力信号を出力する集積回路装置は、高速動作が可能である。かかる集積回路装置は、外部クロックの立ち上がりエッジに同期して、信号の入力及び出力をを行う。従来は、外部クロックをそのまま内部のタイミングクロックとして利用していたが、クロックの周波数が高くなるに伴い、集積回路装置内部でのクロックの伝播遅延時間を無視することができなくなった。

【0003】そこで、SDRAMなどの高速の集積回路装置では、内部に外部クロックと位相が一致、或いは所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路を設けることが提案されている。このセルフタイミングコントロール回路は、例えばDLL (Delay Locked Loop) 回路で構成される。

【0004】図1は、従来のDLL回路を利用したセルフタイミングコントロール回路の構成例を示す図である。このDLL回路では、外部クロック信号CLKは、入力バッファ1により取り込まれ、内部クロックCLK1として可変遅延回路2に供給される。可変遅延回路2において、クロックの周波数に応じて制御された遅延時間だけ遅延されて、タイミングクロックCLK2が生成される。出力バッファ3は、このタイミングクロックCLK2に同期して、内部回路からの出力データDATA

を、出力端子Doutに出力する。

【0005】一方、内部クロックCLK1は、分周器4に入力され、その周波数を1/N分周される。分周された基準クロック信号c-clkは、可変遅延回路5に供給されると同時に、位相比較器の第1入力c-clkとして供給される。可変遅延回路5から出力されるクロック信号CLK3は、ダミー出力バッファ6、固定ダミーロード7及びダミー入力バッファ8からなる追加された固定遅延回路群を経由して位相比較器9の第2入力d-i-cclkとして供給される。

【0006】位相比較器9は、2つの入力信号の位相を比較し、比較結果 ϕR 、 ϕS を遅延制御回路10に出力する。遅延制御回路10は、2つの可変遅延回路2、5の遅延量を、位相比較結果に従って両入力信号の位相が一致するように調整する。

【0007】その結果、出力バッファ3から出力される出力データの出力タイミングは、外部クロックのタイミングに整合するように、可変遅延回路2の遅延量が制御される。上記のDLL回路については、本出願人により、例えば特開平10-112182公報（平成10年4月28日公開）に記載される。

【0008】実際の集積回路装置では、出力端子Doutに50pF程度の外部容量負荷Coが存在する。この外部容量負荷Coは、例えば、集積回路装置が搭載されるマザーボード上の配線容量である。そのため、出力バッファ3がタイミングクロックCLK2に同期して出力する出力データ信号の切り替わりタイミングは、この外部容量負荷Coに依存したタイミングになる。

【0009】そこで、ダミー出力バッファ6の出力クロックCLK4の位相が、出力信号Doutの位相と一致させるために、DLL回路のフィードバックループ内において、ダミー出力バッファ6の出力段に固定ダミーロード7が設けられる。このダミーロード7の容量負荷は、クロックCLK4が、外部容量負荷Coが実際に存在する場合における出力端子Doutの出力波形と同等になるよう設定される。再現された出力波形を用いて位相調整を実施することにより、出力端子Doutで出力データDATAが切り替わるタイミングと外部クロック信号CLKの立ち上がりエッジとをより正確に合わせることができる。

【0010】

【発明が解決しようとする課題】上記の通り、従来技術では、出力端子Doutに接続される外部容量負荷を考慮して、DLL回路の遅延回路内に容量負荷が固定されたダミーロード7を設ける。しかしながら、集積回路装置の製造上のばらつき等によりダミーロード7の容量負荷が設定値から変動してしまうことがある。例えば、ダミーロード7が抵抗素子やキャパシタ素子で構成される場合、製造ばらつきにより変動する。そのような場合の変動を補正する手段がないため、DLL回路での位相調整

を正確に行うことができない。その結果、出力端子Doutにおけるデータ出力信号の波形の切り替わりタイミングと外部クロック信号CLKの立ち上がりエッジとがずれてしまう。

【0011】更に、出力端子Doutに接続される外部容量負荷が、デバイスによって異なる値することが要求される場合もある。かかる場合は、容量負荷が固定されたダミーロード7では、そのような異なる外部容量負荷に対応することができない。

【0012】そこで、本発明の目的は、製造ばらつきの影響を受けずに外部クロックの周期に応じて所望の位相のタイミングクロックを生成することができるDLL回路を提供することにある。

【0013】更に、本発明の目的は、製造ばらつきの影響をうけずに外部クロックに周波数に応じて遅延量が調整されたタイミングクロックを生成することができるセルフタイミングコントロール回路を提供することにある。

【0014】更に、本発明の目的は、製造ばらつきに対応して、最適なダミーロードの容量負荷を設定することができるDLL回路、またはセルフタイミングコントロール回路を提供することにある。

【0015】

【課題を解決するための手段】上記の目的を達成するために、本発明のセルフタイミングコントロール回路は、容量負荷が固定されたダミーロードの代わりに、容量負荷を電気的に調整可能な可変ダミーロードを設置する。本発明によれば、デバイスのウェハ試験工程において、可変ダミーロードの容量負荷を調整して最適値に設定することができる。最適値に設定された可変ダミーロードの容量負荷は、フューズ等のプログラム可能なメモリ内に設定値が固定される。これにより、製造上のばらつき等によるダミーロード容量負荷の変動を補正することができ、クロック発生器での位相調整をより正確に行うことができる。

【0016】上記の目的を達成するために、本発明は、供給される供給クロックを遅延させて前記供給クロックと所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路において、前記供給クロックが入力され、当該供給クロックの周波数に応じて制御された遅延量だけ該供給クロックを遅延させる第1の可変遅延回路と、前記第1の可変遅延回路に接続され、前記供給クロックの周波数にかかわらず設定された所定の遅延量だけ前記供給クロックを遅延させる追加遅延回路とを有し、前記追加遅延回路は、前記遅延量が可変設定される可変ダミーロードを有し、当該遅延量を設定するプログラマブルメモリにより前記可変ダミーロードの遅延量が可変設定されることを特徴とする。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実

施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0018】図2は、本発明の実施の形態例を示す図である。図2に示されたセルフタイミングコントロール回路は、図1の従来例と同様な構成であり、対応する部分には同じ引用番号を付した。即ち、外部から供給されるクロックCLKが、入力バッファ1により取り込まれ、クロックCLK1が第2の可変遅延回路2に入力され、クロックの周波数に応じて遅延されたタイミングクロックCLK2が、出力バッファ3に供給される。出力バッファ3は、タイミングクロックCLK2に同期して出力データDATAを出力端子Doutから出力する。出力端子には、外部容量負荷Coが接続される。

【0019】このタイミングクロックCLK2は、以下のDLL回路によりそのタイミングが制御される。即ち、DLL回路は、内部クロックCLK1を分周器4で分周した基準クロックc-clkを使用する。基準クロックc-clkは、第1の可変遅延回路5で制御された遅延量だけ遅延される。遅延されたクロックCLK3は、更に、ダミー出力バッファ6、可変ダミーロード7、ダミー入力バッファ8で構成される追加遅延回路を通過して、可変クロックd-i-clkとして、位相比較器9に供給される。ダミー出力バッファ6は、出力バッファ3と同等の遅延時間を有し、ダミー入力バッファ8はクロック入力バッファ1と同等の遅延時間を有する。

【0020】このDLL回路の動作は、従来例と同様である。後述する詳細な説明により明らかな通り、第1及び第2の可変遅延回路5、2は、クロックCLKの周波数または周期に応じて、その遅延量が制御される。また、ダミー出力バッファ6及び可変ダミーロード7の位置は、第1の可変遅延回路5の前段に設けることができるし、また、ダミー入力バッファ8の後段に設けることもできる。

【0021】本実施の形態例のセルフタイミングコントロール回路は、可変ダミーロード7の容量負荷の大きさが、プログラム回路11により変更設定可能に構成される。即ち、プログラム回路11内のプログラマブルメモリに所定の設定値を記憶させることで、それに対応する設定信号Fi、Eiにしたがって、可変ダミーロード7の容量負荷の大きさを可変設定することができる。可変ダミーロード7の容量負荷を変更設定することにより、クロックCLK4の遅延量が変更設定される。従来技術の課題で説明した通り、製造ばらつきにより、ダミーロード7の容量負荷の値が変動しても、製造後のテストモードによりDLL回路がロックオンしているときのタイミングクロックCLK2の位相を検出することにより、その位相を最適なタイミングにするように可変ダミーロード7の容量負荷を可変設定することができる。

【0022】[可変ダミーロードの構成例(1)] 図3は、第1の可変ダミーロードの構成例を示す図である。

可変ダミーロード7は、ダミー出力バッファ6およびダミー入力バッファ8間に直列接続された可変抵抗Rp、および可変抵抗Rpの出力側と接地電極間に接続されたコンデンサCpから構成される。可変抵抗Rpの抵抗値は、後述するように、プログラム回路11により制御信号Fiを介して制御される。コンデンサCpは、配線の寄生容量を利用することもできる。

【0023】プログラム回路11は、外部端子から抵抗値の制御信号Fiを設定するレジスタ回路32と、抵抗値の制御信号Fiを固定的に設定するフューズからなるプログラムブルメモリ回路30と、レジスタ回路32からの設定とプログラムブルメモリ回路30からの設定とを切り替える切り替え回路33とで構成される。

【0024】可変ダミーロード7内の可変抵抗Rpを、プログラム回路11内のレジスタ回路32を介して変更設定し、最適の可変抵抗Rpの抵抗値を検出する。その後、最適の抵抗値に可変抵抗Rpを固定的に設定するために、プログラムブルメモリ30にその設定値が記録される。そして、通常動作時は、切り替え回路33により、プログラムブルメモリ30内に記録された設定値に従って制御信号Fiが供給され、可変抵抗Rpの抵抗値が設定される。

【0025】図4は、可変抵抗Rpの構成例を示す図である。可変抵抗Rpは、図4に示すように、複数のスイッチS0～Sn、および抵抗値の等しい複数の抵抗R1～Rnから構成される。スイッチS0～Snは、切り替え回路33からそれぞれ供給される負荷制御信号F0～Fnによりオン／オフ制御される。複数のスイッチS0～Snは、図4に示される通り、CMOSトランസ്ഫার্গেｰﾄで構成される。負荷制御信号F0～Fnのうち1つの信号だけがLレベルに設定され、対応するスイッチをオン（導通状態）にする。仮に、負荷制御信号FiがLレベルに設定されると、可変抵抗Rpの抵抗値は、 $R_p = R_1 + R_2 + \dots + R_i$ に設定される。従って、この負荷制御信号Fiを選択することにより、可変抵抗Rpの抵抗値を調整することができる。なお、抵抗R1～Rnの材質をポリシリコンにすることにより、抵抗値の温度依存性を小さくすることができる。

【0026】図5は、プログラム回路11の構成例(1)を示す図である。本構成例のプログラム回路11は、レジスタ32またはフューズ30で設定された信号を、切り替え回路33により選択して、負荷制御信号F0～F2として可変抵抗Rpに供給する。図6は、例示的に3ビットの負荷制御信号F0～F2のみを示す。

【0027】デバイスのウェハ試験工程において可変ダミーロード7の容量負荷を調整する場合は、レジスタ32からの信号に基づいて負荷制御信号F0～F2を生成し、DLL回路がロックオンするときの出力端子Doutに生成される出力信号のタイミングと外部クロックCLKのタイミングを比較する。即ち、レジスタ32には、アド

レス信号などの外部入力信号A0～A2が供給され、このとき、第1のテスト信号TEST1として正のパルス信号を入力するとレジスタ32内のトランസファゲート321～323がオンになり、外部入力信号A0～A2がラッチ324～326を介して切り替え回路33に供給される。その後、切り替え回路内のトラン斯ファゲート331～336に入力される第2のテスト信号TEST2をHレベルに設定することにより、レジスタ32にラッﾁされた信号が選択されて、負荷制御信号F0～F2が可変ダミーロードの可変抵抗Rpに供給される。

【0028】外部入力信号A0～A2のいずれかをHレベルにすることで、負荷制御信号F0～F2のいずれかをLレベルに設定し、図4に示された可変抵抗RpのいずれかのスイッチS0～S6を導通させることができる。その結果、可変抵抗Rpを任意の抵抗値に設定することができる。

【0029】このプログラム回路を利用することにより、テストモードでは、外部入力信号からレジスタ回路32を介して可変ダミーロード7の可変抵抗Rpの抵抗値を可変設定して、製造ばらつきに対応した最適な容量負荷を検出することができる。

【0030】そして、そのようにして検出した最適な容量負荷にするための設定値を、フューズ素子からなるプログラムブルメモリ30に記録する。その結果、通常動作モードでは、第2のテスト信号TEST2をLレベルにすることで、プログラムブルメモリ30に記録された信号に従って負荷制御信号F0～F2のいずれかがLレベルに設定され、最適な負荷容量が可変ダミーロード7に設定される。

【0031】図6は、プログラム回路11の構成例(2)を示す図である。本構成例のプログラム回路11は、図5の場合と同様に、レジスタ32またはフューズ30で設定された信号を、切り替え回路33により選択して、負荷制御信号F0～F2として可変抵抗Rpに供給する。但し、図6の構成例では、切り替え回路33内に、インバータ338～340と、複数のデコード線345と、それらデコード線345の組み合わせが入力されるNANDゲート341～343とからなるデコード回路が追加される。

【0032】デコード回路は、レジスタ32またはプログラムブルメモリ回路30からの3ビットの入力信号をデコードし、8ビットの負荷制御信号F0～F7を生成する。図5の場合と同様に、8ビットの負荷制御信号F0～F7のうち1つだけがLレベルに設定され、可変ダミーロード7内の可変抵抗Rpに供給される。レジスタに入力される外部入力信号A0～A2を2進数として変えることにより、負荷制御信号F0～F7を順番にLレベルに変更することができ、可変ダミーロード7の容量負荷を調整することができる。

【0033】図7は、上記のプログラム回路11を利用して、最適な可変ダミーロード7の容量負荷を設定する

ときのフローチャート図である。第1のテスト信号TEST1をHレベルにし(S10)、外部入力信号A0～A2をレジスタ回路32内のラッチ回路324～326にラッﾁする(S12)。そして、第1のテスト信号TEST1をLレベルにして、スイッチ321～323を非導通状態にすると共に、第2のテスト信号TEST2をHレベルにして、切り替え回路33内のスイッチ332、334、336をそれぞれ導通状態にする(S14)。その結果、レジスタ回路32に設定した信号が、負荷制御信号F0～F7として、可変ダミーロード7内の可変抵抗Rpに供給され、可変抵抗Rpが所定の抵抗値に設定される。

【0034】そこで、セルフタイミングコントロール回路をテストモード動作させる(S16)。このテストモード動作では、出力されるデータDATAをHレベルとLレベルに交互に変化させる。その場合、基準クロックc-clkと可変クロックd-i-clkとの位相がほぼ一致してDLL回路がロックオンする状態で、データ出力波形の切り替わりタイミングと外部クロック信号CLKの立ち上がりエッジが一致したときの可変ダミーロード7の容量負荷が最適値になる。従って、出力端子Doutに生成される出力波形が正しいタイミングで出力されるか否かがチェックされる(S18)。一致しない場合は、可変抵抗Rpの設定値を変更して、再度同じテストを行う。

【0035】上記の工程S10～S18が、出力端子に生成される出力波形の切り替わりのタイミングと外部クロックCLKの立ち上がりエッジとが一致するまで繰り返される。そして、一致することが検出されると、その時にレジスタ回路32に設定した外部入力信号A0～A2の信号レベルに基づいて、対応するフューズFS0～FS2が切断される(S20)。

【0036】その後、第2のテスト信号TEST2をLレベルに設定することにより、フューズからの入力信号が選択されて、可変ダミーロードの容量負荷が最適値に固定される。

【0037】【可変ダミーロードの構成例(2)】図8は、可変ダミーロードの構成例(2)を示す図である。この可変ダミーロード7は、ダミー出力バッファ6およびダミー入力バッファ8間に直列接続された抵抗Rp、および抵抗Rpの出力側と接地電極間に接続された可変コンデンサCpから構成される。可変コンデンサCpの容量値は、後述するように、プログラム回路11により負荷制御信号Rpを介して制御される。抵抗Rpについては、既存配線の寄生抵抗を流用することもできる。

【0038】図9は、可変コンデンサCpの構成例を示す図である。図9に示されるように、可変コンデンサCpは、複数のスイッチS0～Smおよび複数のコンデンサC0～Cmがそれぞれ接続された回路が、並列に接続されて構成される。コンデンサC0～Cmの容量値は、C0:C1:C2…=1:2:4…のように順に重み付けされた値に設定される。スイッチS0～Smは、図4の場合と同様に、CMOSトラン

ンスファースイッチで構成され、プログラム回路からそれぞれ供給される負荷制御信号E0～Emによりオン／オフ制御される。図4の場合と同様に、Lレベルに設定された負荷制御信号に対応するスイッチがオンになる。

【0039】この可変コンデンサでは、Lレベルに設定される負荷制御信号E0～Emの組み合わせを変えることにより、可変コンデンサCpの容量値を細かく調整して最適値に設定することができる。例えば、負荷制御信号E0のみをLレベルにすると、スイッチS0のみが導通し、可変コンデンサCpの容量値はC0になる。また、負荷制御信号E1のみをLレベルにすると、スイッチS1のみが導通し、可変コンデンサCpの容量値はC1=2C0になる。そして、負荷制御信号E0,E1を共にLレベルにすると、スイッチS0,S1の両方が導通し、可変コンデンサCpの容量値はC0+C1=3C0になる。このように、重みづけされたコンデンサを適宜組み合わせて接続することにより、任意の容量値に設定することができる。

【0040】上記の可変ダミーロードの場合も、プログラム回路11は、図5、6に示した回路と同じ回路により、その最適な容量負荷の値を検出して、設定することができる。但し、コンデンサが重みづけされているので、必要な負荷制御信号の数は、図3、4の可変ダミーロードの場合に比較して少なくすることができる。

【0041】可変ダミーロード7は、図3、4の構成例(1)における可変抵抗および図8、9の構成例(2)における可変コンデンサを組み合わせて構成することもできる。基本的な構成および動作は、構成例(1)および構成例(2)と同様である。この場合、それぞれの抵抗値や容量値を、例えば可変抵抗を粗調整用、可変コンデンサを微調整用として用いるように設定することができる。その場合に、より高精度に可変ダミーロード7の容量負荷を設定することができる。

【0042】[D L L回路の各構成要素] 図2に示されたフィードバックループを有するD L L回路の具体的な構成例について、以下に説明する。

【0043】[可変遅延回路] 図10は、可変遅延回路2、5の例を示す図である。この可変遅延回路は、入力クロックCLK1,c-clkを、制御信号φEで制御されたゲート段数分遅延させて、出力クロックCLK2、CLK3を出力する。可変遅延回路2、5は、複数のインバータ98～112と、NANDゲート113～128により、図示される通り構成される。NANDゲート113～120の一方の入力には、入力クロックCLK1,c-clkを遅延させたクロックが供給され、他方の入力には遅延制御信号φE-1～φE-32が供給される。遅延制御信号φE-1～φE-32は、いずれか1つの信号がHレベルとなり、残りの信号がLレベルになる。

【0044】仮に、遅延制御信号φE-1がHレベルとすると、他の遅延制御信号のLレベルにより、NANDゲート113～119の出力は全てHレベルとなる。その

結果、NANDゲート121～127は全てLレベル、インバータ102～108は全てHレベルとなる。そこで、入力クロックは、4つのインバータ98～101と、NANDゲート120, 128と、4つのインバータ109～112とからなる合計10段のゲートの遅延量をもって、出力クロックCLK2として出力される。この状態が、遅延量が最小の状態である。通常、電源投入時は、パワーオンリセット信号により遅延量が最小の状態にリセットされる。

【0045】そして、Hレベルの遅延制御信号φE-1～φE-32が図中右側にシフトするたびに、NANDゲート127及びインバータ108による2段のゲートの遅延量が追加される。そして、遅延制御信号φE-32がHレベルになると、最大の遅延量となる。即ち、遅延制御信号φE-1～φE-32の内、Hレベルの遅延制御信号が右側に1つずれると、NANDゲートとインバータの2段分の遅延量が増加され、左側に1つずれると、同様の2段分の遅延量が減少される。

【0046】[出力バッファ及びダミー出力バッファ] 図11は、出力バッファ及びダミー出力バッファの回路図である。出力バッファ3は、内部からのデータDATAが供給され、タイミングクロックCLK2の立ち上がりエッジで導通するトランジスタN2, P2及びN3, P3からなるCMOSスイッチを介して、ラッチ回路10, 12にラッチされる。そして、それらのラッチされたデータ信号に応じて、出力段のPMOSトランジスタP1及びNMOSトランジスタN1の一方が導通して、出力端子Doutに出力信号を出力する。出力段のトランジスタP1, N1は、外部の容量負荷C0を駆動するために、大型のトランジスタに設計される。また、出力段のトランジスタには、出力バッファ用の電源VccQとVssQとが接続される。

【0047】一方、ダミー出力バッファ6も、出力バッファ3と同様の回路構成である。即ち、クロックCLK3の立ち上がりエッジで導通するCMOSトランジスタN12, P12, N13, P13を介して、ラッチ回路20, 22に所定のデータがラッチされる。そして、出力段のトランジスタP11, N11により、ダミーロード7の負荷容量が駆動される。

【0048】ここで、ダミー出力バッファ6の出力段トランジスタP11, N11は、出力バッファ3の出力段トランジスタP1, N1に比較すると、はるかに小さいトランジスタに設計される。集積回路装置内において、大きな面積を占めることを防止するためである。従って、ダミーロード7の容量負荷は、出力端子Doutに接続される外部容量負荷C0に比較すると、例えば10分の1の5pF程度に設定される。それに伴い、出力段トランジスタP11, N11も、出力バッファ3内の出力トランジスタのサイズよりも10分の1に設計される。また、ダミー出力バッファ6の遅延時間を出力バッファ3

に整合させる為に、容量C1, C2が出力段のトランジスタP11, N11のゲート電極に接続される。この容量C1, C2は、出力段トランジスタP11, N11のゲート容量と合わせると、出力バッファ3内の出力段トランジスタP1, N1のゲート容量と同等になるよう設計される。

【0049】上記の通り、ダミー出力バッファ6内のトランジスタP11, N11のサイズを小さくし、それに対応してダミーロード7の容量負荷も小さくすることで、集積回路装置内の占有面積を小さく抑えることができ、また、ダミー出力バッファ6による消費電力も節約することができる。

【0050】上記の通り、ダミーロード7の容量負荷は、実際の外部容量負荷Coと比較して所定の比率に小さく設計される。従って、製造ばらつきに伴うダミーロード6内のわずかな容量負荷のばらつきは、遅延特性に大きな影響を与えててしまう。また、ダミーロード7は製造ばらつきの影響をうけるが、外部容量負荷Coは製造ばらつきの影響を受けない。従って、本実施の形態例の如く、ダミーロード6を可変設定できるようにすることは、最適なタイミングのタイミングクロックCLK2を生成させる為には、重要である。

【0051】【位相比較回路】図12は、位相比較回路9内の位相比較部の回路図である。また、図13は、位相比較部の動作を示す波形図である。この位相比較部は、NANDゲート199～203及びインバータ215からなる部分において、第1のクロックc-c1kと第2のクロックd-i-c1kとの位相関係を検出して、ノードn1～n4にその検出結果を生成する。両クロックの位相関係は、図13(A)に示される通り、第1のクロックc-c1kに比較して第2のクロックd-i-c1kの位相が進んでいる状態と、図13(B)に示される通り、両クロックの位相がほぼ一致している状態と、図13(C)に示される通り、第1のクロックc-c1kに比較して第2のクロックd-i-c1kの位相が遅れている状態とに分類される。

【0052】図13(A)の状態の場合は、両クロックがLレベルの状態では、ノードn1～n4は全てHレベルであり、その後、第2のクロックd-i-c1kが先にHレベルになり、

$n1=L, n2=H, n3=L, n4=H$

になる。その後、第1のクロックc-c1kが遅れてHレベルになっても、上記のノードn1～n4の状態は変化しない。NANDゲート198は、両クロックが共にHレベルになると出力をLレベルにし、その立ち下がりエッジから所定の幅のHレベルパルスが、NORゲート216から出力される。このHレベルパルスが、サンプリングパルスとしてNANDゲート204～207に供給され、ノードn1～n4の状態が、NANDゲート208, 209からなるラッチ回路と、NANDゲート2

10, 211からなるラッチ回路とにそれぞれ取り込まれる。従って、信号 $\phi b, \phi c, \phi d, \phi e$ は、図12の表に示される通り、

$\phi b=H, \phi c=L, \phi d=H, \phi e=L$ になる。

【0053】図13(B)の状態は、第1のクロックc-c1kに対して第2のクロックd-i-c1kの位相が、NANDゲート201とインバータ215の遅延時間以内の範囲で遅れる場合である。NANDゲートとインバータの遅延時間は、上記した可変遅延回路の遅延制御1段分の遅延量と同じである。その場合は、第1のクロックc-c1kが先にHレベルとなり、

$n1=H, n2=L$

になり、更に、インバータ215の出力が第2のクロックd-i-c1kよりも後にHレベルになり、

$n3=L, n4=H$

になる。

【0054】従って、両クロックがHレベルになるタイミングでラッチされ、信号 $\phi b, \phi c, \phi d, \phi e$ は、図12の表に示される通り、

$\phi b=L, \phi c=H, \phi d=H, \phi e=L$

になる。この場合は、位相が一致したこと意味するで、ロックオン検出回路418の出力のロックオン信号JSTもHレベルを出力する。

【0055】図13(C)の状態では、第1のクロックc-c1kが先にHレベルになり、

$n1=H, n2=L, n3=H, n4=L$

になる。その後、第2のクロックd-i-c1kが遅れてHレベルになっても、上記のノードn1～n4の状態は変化しない。この状態が、両クロックがHレベルになるタイミングでラッチされ、信号 $\phi b, \phi c, \phi d, \phi e$ は、図12の表に示される通り、

$\phi b=L, \phi c=H, \phi d=L, \phi e=H$

になる。

【0056】図14は、位相比較回路9の位相比較出力部の回路図である。また、図15は、その位相比較出力部の動作を示す波形図である。波形図の(A), (B), (C)は、図12及び図13の(A), (B), (C)にそれぞれ対応する。

【0057】位相比較出力部は、両クロックの位相比較のタイミングで生成されるタイミング信号 ϕa の周波数を2分の1に分周する分周回路21Aと、その分周回路21Aからの出力のタイミングに応答して、両クロックの位相関係に応じて生成された信号 $\phi b, \phi c, \phi d, \phi e$ に基づいて、位相比較結果信号 $\phi S0 \sim \phi RE$ を出力する出力回路21Bとから構成される。

【0058】2分の1分周回路21Aは、JKフリップフロップ構成であり、両クロックc-c1k, d-i-c1kが共にHレベルになる時をNANDゲート198(図12)で検出し、その検出パルス ϕa を2分の1分

周して、逆相のパルス信号n11とn12を生成する。検出パルス ϕ_a がゲート226, 227に供給され、反転検出パルス/ ϕ_a がゲート222, 223に供給され、ゲート228, 229からなるラッチ回路と、ゲート224, 225からなるラッチ回路間で、反転信号を転送する。その結果、2分の1分周された逆相のパルス信号n11, n12が生成される。

【0059】出力回路21Bは、サンプリングラッチされた信号 ϕ_b , ϕ_c , ϕ_d , ϕ_e をデコードして、第1のクロックc-c1kの位相が第2のクロックd-i-c1kより遅れている時（状態（A））は、ダイオード236の出力をHレベルにし、両クロックの位相が一致している時（状態（B））は、ダイオード236と237の出力を共にLレベルにし、更に、第1のクロックc-c1kの位相が第2のクロックd-i-c1kより進んでいる時（状態（C））は、ダイオード237の出力をHレベルにする。

【0060】従って、出力回路21Bは、NANDゲート232～235のデコード機能により、上記の状態（A）の時は、NANDゲート232, 233が、タイミング信号n11, n12に応答して、第2のクロックd-i-c1kの位相を遅らせる様に、可変遅延回路2, 5の遅延量を増加させる位相比較結果信号 ϕ_{S0} , ϕ_{SE} を、交互にHレベルにする。即ち、図15（A）に示される通りである。また、上記の状態（B）の時は、出力回路21Bは、図15（B）の如く、位相比較結果信号 $\phi_{S0} \sim \phi_{RE}$ を生成しない。更に、上記の状態（C）の時は、図15（C）の如く、NANDゲート234, 235が、タイミング信号n11, n12に応答して、第2のクロックd-i-c1kの位相を進める様に、可変遅延回路2, 5の遅延量を減少させる位相比較結果信号 ϕ_{R0} , ϕ_{RE} を、交互にHレベルにする。

【0061】〔遅延制御回路〕図16は、遅延制御回路10の一部の構成を示す回路図である。遅延制御回路10は、位相比較結果信号 $\phi_{S0} \sim \phi_{RE}$ に応答して、NORゲート431-1～431-3から遅延制御信号 $\phi_{E-1} \sim \phi_{E-3}$ を出力する。図10に示した通り、遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ は、32ビットで構成される。

【0062】遅延制御回路10は、位相比較結果信号 ϕ_{S0} , ϕ_{SE} によりHレベルの遅延制御信号 ϕ_E を右側にシフトし、可変遅延回路の遅延量を増加させ、位相比較結果信号 ϕ_{R0} , ϕ_{RE} によりHレベルの遅延制御信号 ϕ_E を左側にシフトし可変遅延回路の遅延量を減少させる。

【0063】遅延制御回路10の各段は、例えば1段目では、NANDゲート432-1とインバータ433-1からなるラッチ回路をそれぞれ有する。また、位相比較結果信号 $\phi_{S0} \sim \phi_{RE}$ によりラッチ回路432-1と433-1の状態を強制的に反転させるトランジスタ434-1, 436-1を有する。トランジスタ438-1, 439-1は、反転の対象外の場合にトランジスタ

434-1, 436-1によってはラッチ回路が反転されないようにする為に設けられる。2段目～3段目の回路も同様の構成である。これらのトランジスタは全てNチャネル型である。

【0064】今仮に、パワーオンリセットに伴いLレベルパルスのリセット信号 ϕ_R が印加されると、NANDゲート431-1～3の出力は全てHレベルになり、インバータ433-1～3の出力は全てLレベルになる。従って、ノード5a-2がLレベルになり、NORゲート431-1の出力の遅延制御信号 ϕ_{E-1} はHレベルになる。また、ノード5a-1, 5a-3が共にHレベルであるので、それ以外の遅延制御信号 ϕ_{E-2} , ϕ_{E-3} は全てLレベルになる。即ち、リセット信号 ϕ_R に応答して、遅延制御信号 ϕ_{E-1} がHレベルになり、可変遅延回路2, 5は最小遅延時間に制御される。

【0065】次に、位相比較が実行されると、両クロックの位相関係に応じて、位相比較結果信号 $\phi_{S0} \sim \phi_{RE}$ のいずれかがHレベルになる。今仮に、位相比較結果信号 ϕ_{SE} がHレベルになると、トランジスタ434-1が導通し、ノード5a-1を強制的にLレベルに引き下げて、インバータ433-1の出力のノード5a-2を強制的にHレベルに引き上げる。その結果、NORゲート431-1の出力 ϕ_{E-1} はLレベルになる。また、ノード5a-1と5a-4が共にLレベルであるので、NORゲート431-2の出力 ϕ_{E-2} はHレベルになる。そして、1段目と2段目のラッチ回路は、その状態を保持する。更に、その後の位相比較により位相比較結果信号 ϕ_{S0} がHレベルになると、同様の動作により、ノード5a-3と5a-6が共にLレベルになり、遅延制御信号 ϕ_{E-3} がHレベルになる。この様に、位相比較結果信号 ϕ_{SE} と ϕ_{S0} により、遅延時間が長くなる様に遅延制御信号 ϕ_E が右側にシフトする。

【0066】逆に、位相比較結果信号 ϕ_{RE} と ϕ_{R0} により、上記と逆の動作により、遅延時間が短くなる様に遅延制御信号 ϕ_E が左側にシフトする。尚、上記した位相比較回路の出力部の動作から明らかな通り、位相比較結果信号 ϕ_{SE} と ϕ_{S0} は、第2のクロックd-i-c1kが進んでいる時に位相比較毎に交互に生成され、また、位相比較結果信号 ϕ_{RE} と ϕ_{R0} は、第2のクロックd-i-c1kが遅れている時に位相比較毎に交互に生成される。

【0067】また、位相比較結果信号 ϕ_{SE} , ϕ_{S0} に応答して、遅延制御信号 ϕ_E が次々に右側に移動し、最後に遅延制御信号 ϕ_{E-32} がHレベルになる。この状態では、インバータ433-32の出力がLレベル、NANDゲート432-32の出力がHレベルにラッチされている。そこで、更に、遅延時間を延ばす比較結果信号 ϕ_{S0} が供給されると、NANDゲート432-43の出力がLレベルに引き下げられ、インバータ433-32の出力がHレベルに引き上げられる。

【0068】上記の実施の形態例では、プログラマブルメモリとしてフューズ素子を利用した例を示したが、それ以外のプログラム可能なメモリ素子を利用して構成することもできる。

【0069】

【発明の効果】以上、本発明によれば、製造ばらつきによりセルフタイミングコントロール回路が生成するタイミングクロックのタイミングが、最適値からずれることを防止することができる。

【図面の簡単な説明】

【図1】従来のD L L回路を利用したセルフタイミングコントロール回路の構成例を示す図である。

【図2】本発明の実施の形態例を示す図である。

【図3】第1の可変ダミーロードの構成例（1）を示す図である。

【図4】可変抵抗Rpの構成例を示す図である。

【図5】プログラム回路11の構成例（1）を示す図である。

【図6】プログラム回路11の構成例（2）を示す図である。

【図7】プログラム回路11を利用して、最適な可変ダミーロード7の容量負荷を設定するときのフローチャート図である。

【図8】第1の可変ダミーロードの構成例（2）を示す図である。

【図9】可変コンデンサCpの構成例を示す図である。

【図10】可変遅延回路2、5の例を示す図である。

【図11】出力バッファ及びダミー出力バッファの回路図である。

【図12】位相比較回路9内の位相比較部の回路図である。

【図13】位相比較回路9内の位相比較部の動作を示す波形図である。

【図14】位相比較回路9の位相比較出力部の回路図である。

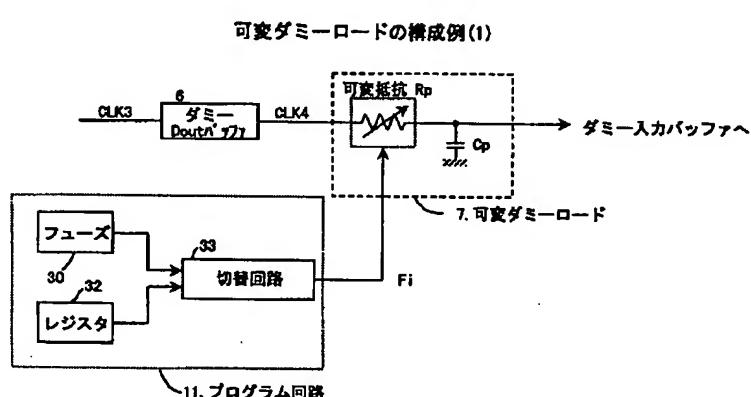
【図15】位相比較回路9の位相比較出力部の動作を示す波形図である。

【図16】遅延制御回路10の回路図である。

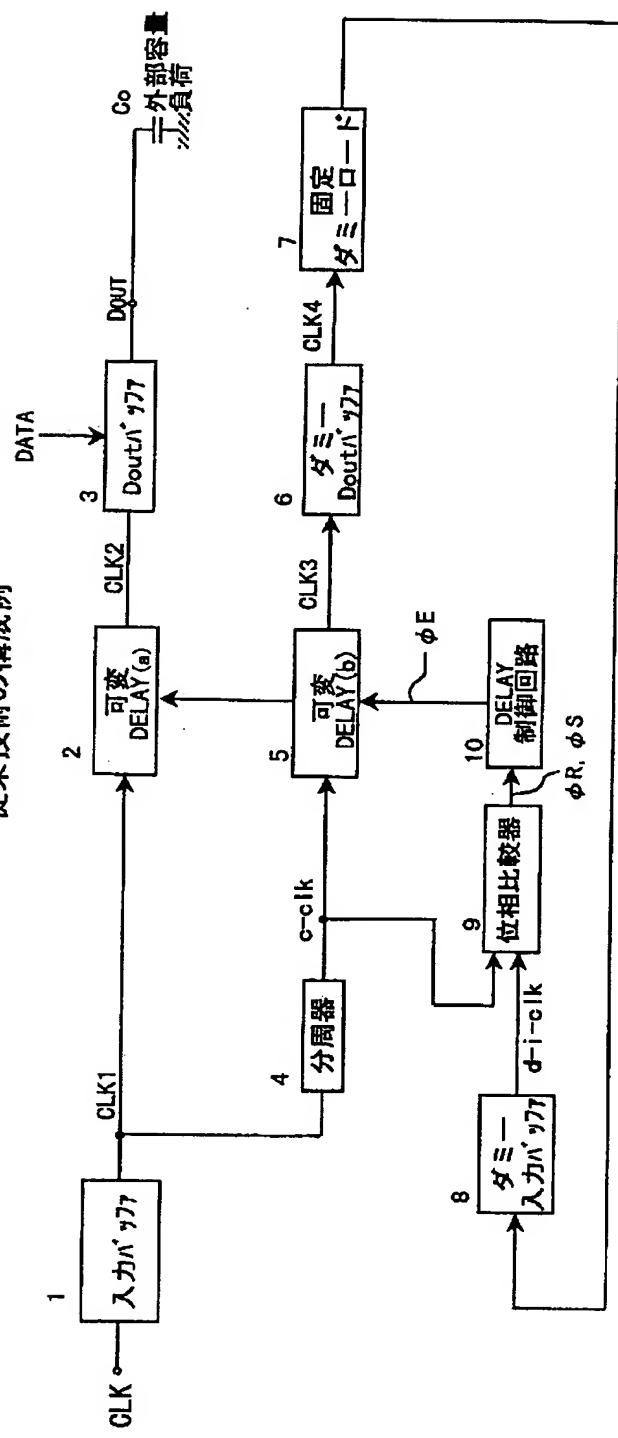
【符号の説明】

1	クロック入力バッファ
2	第2の可変遅延回路
3	出力バッファ
5	第1の可変遅延回路
6	ダミー出力バッファ
7	可変ダミーロード
8	ダミー入力バッファ
9, 10	位相比較・遅延制御回路
Rp	可変抵抗
Cp	可変コンデンサ

【図3】

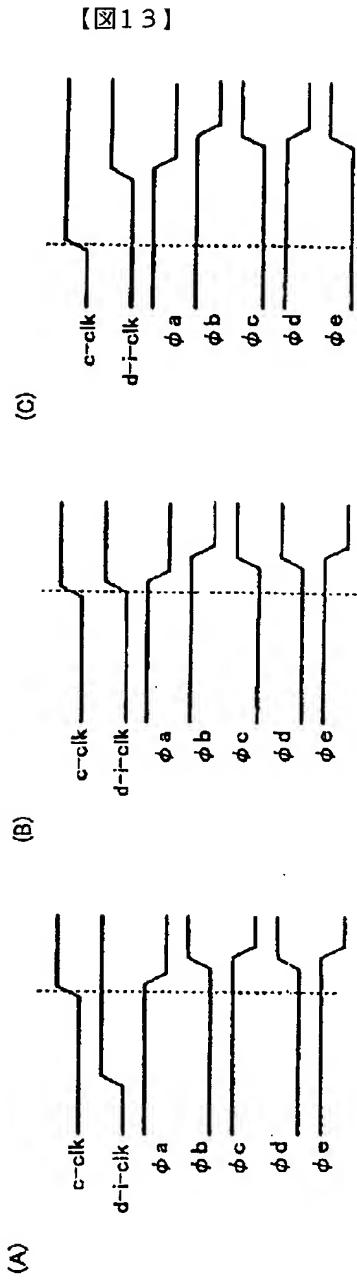


従来技術の構成例



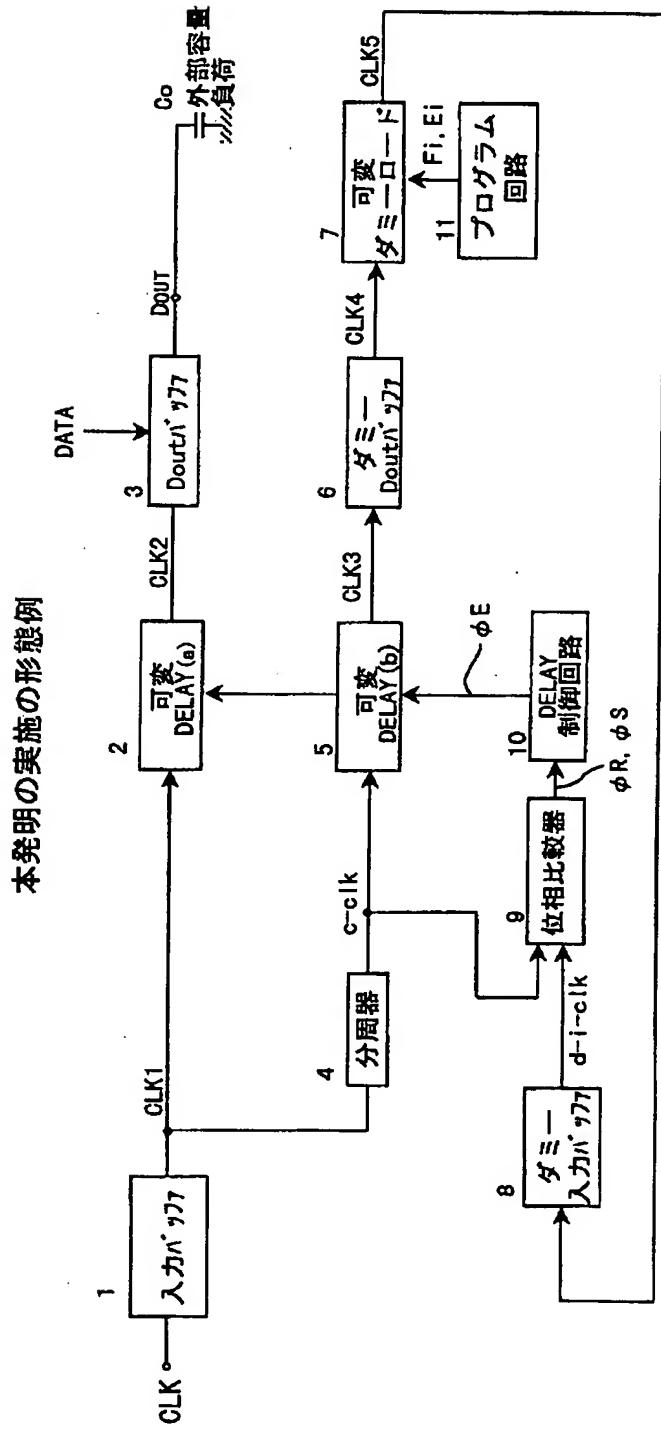
【図1】

位相比較部の動作を示す波形図

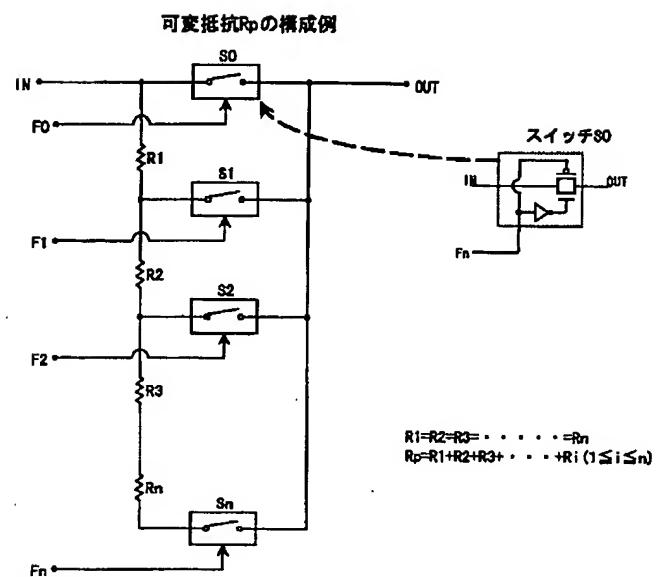


【図13】

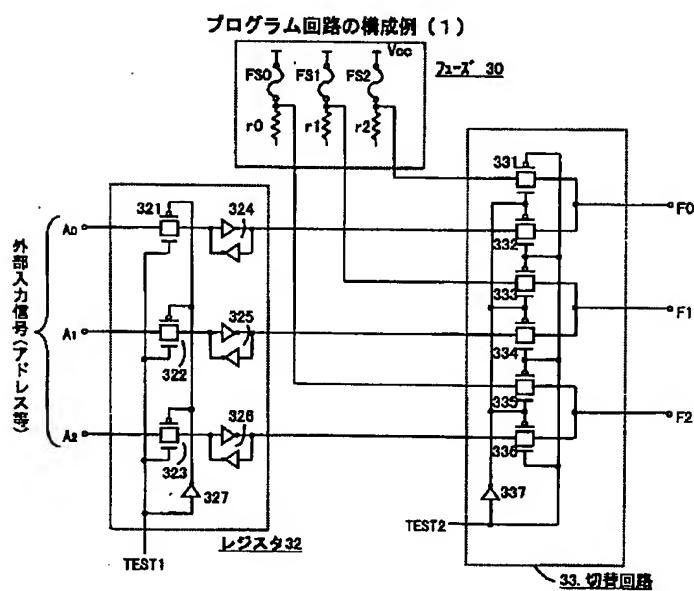
【図2】



【図4】

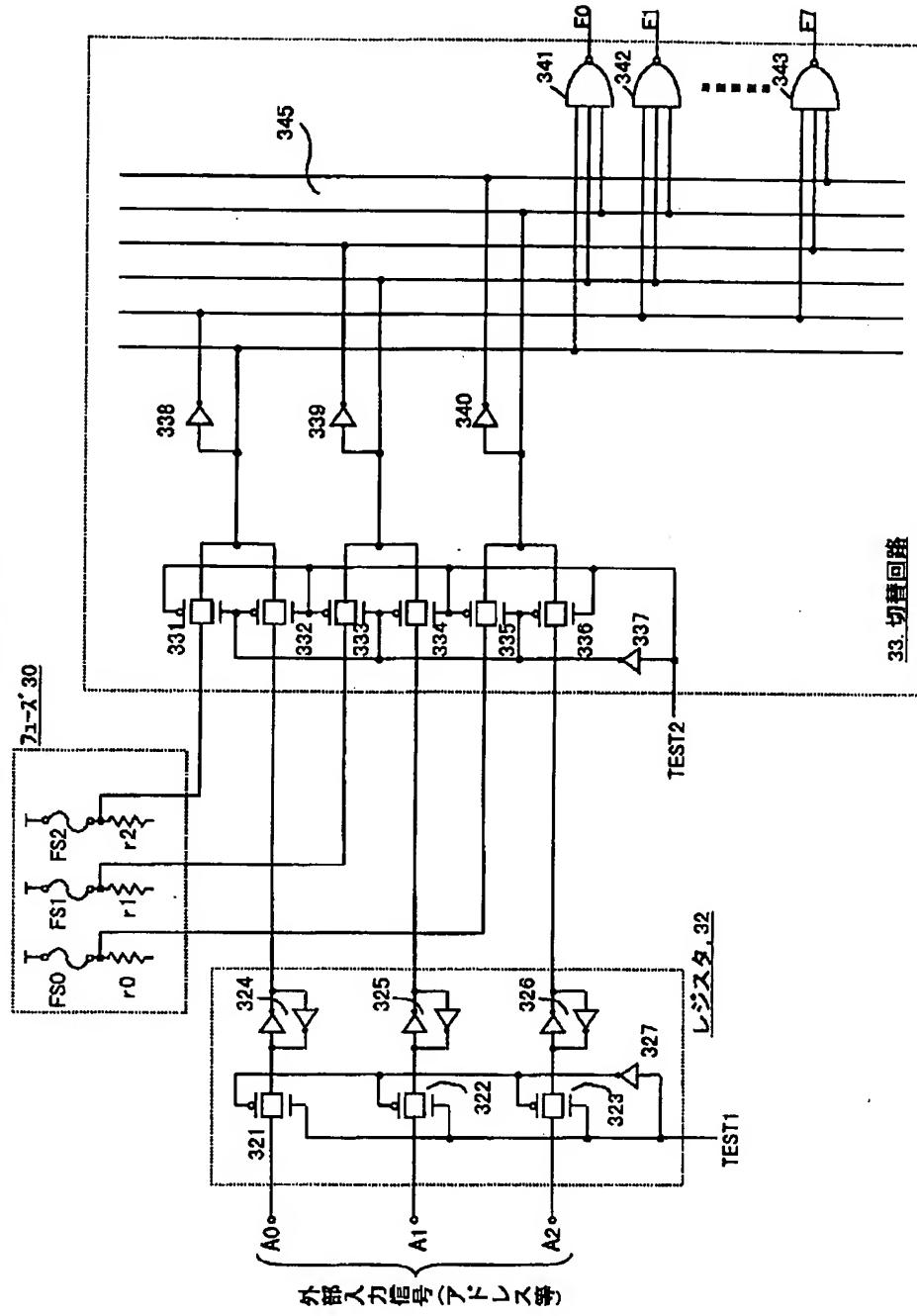


【図5】

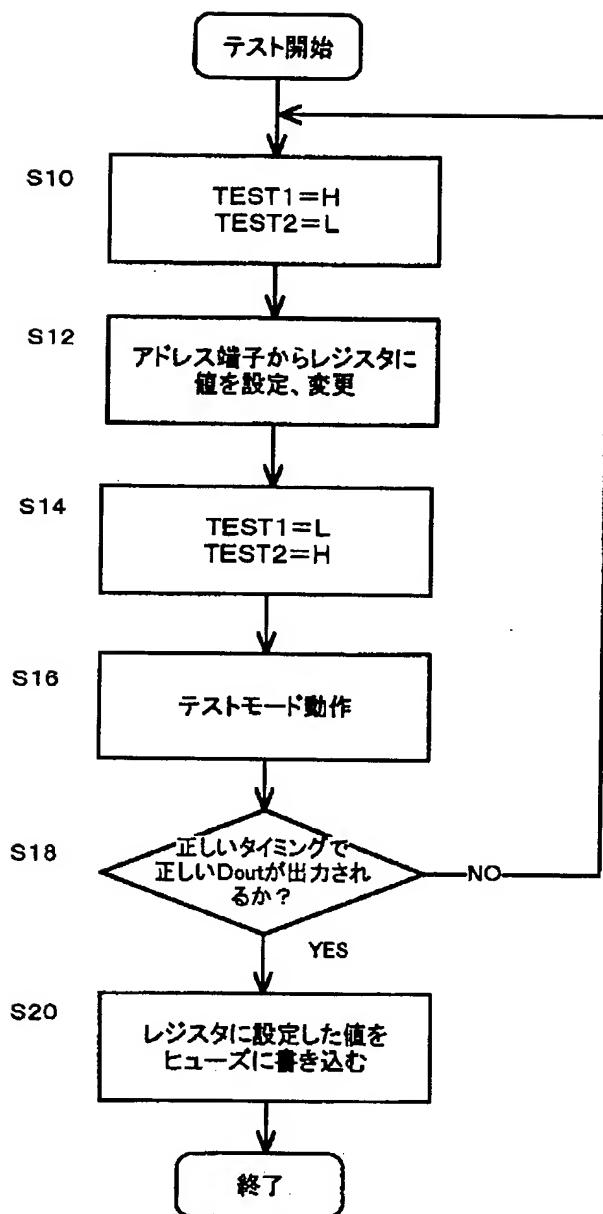


【図6】

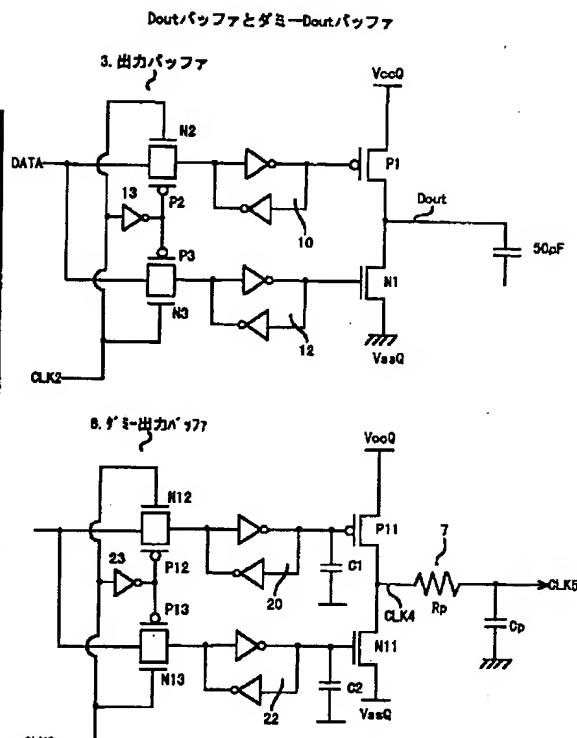
プログラム回路の構成例（2）



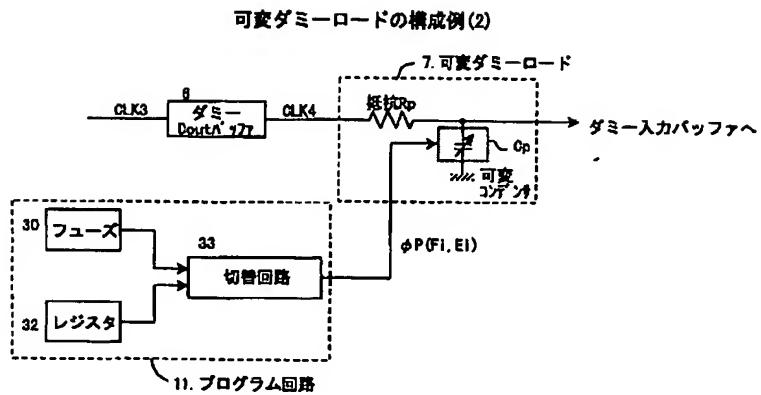
【図7】



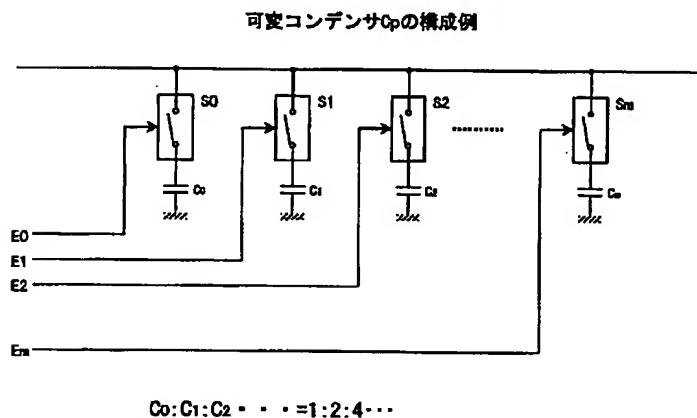
【図11】



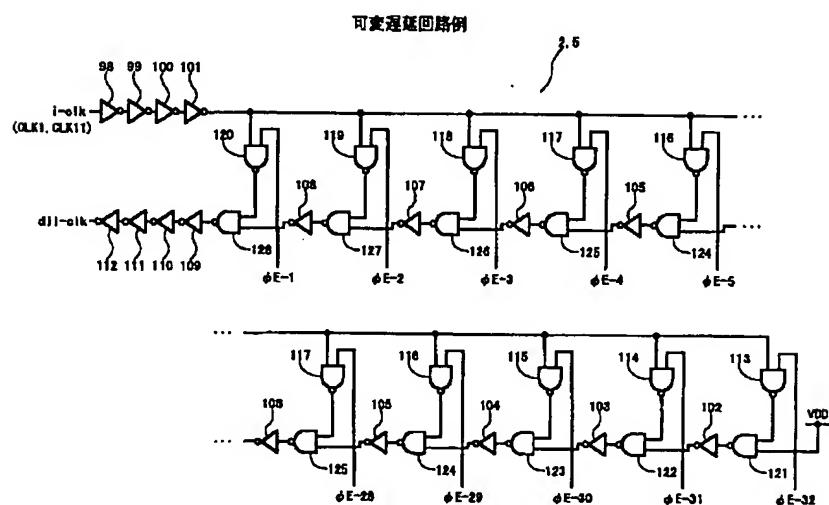
【図8】



【図9】

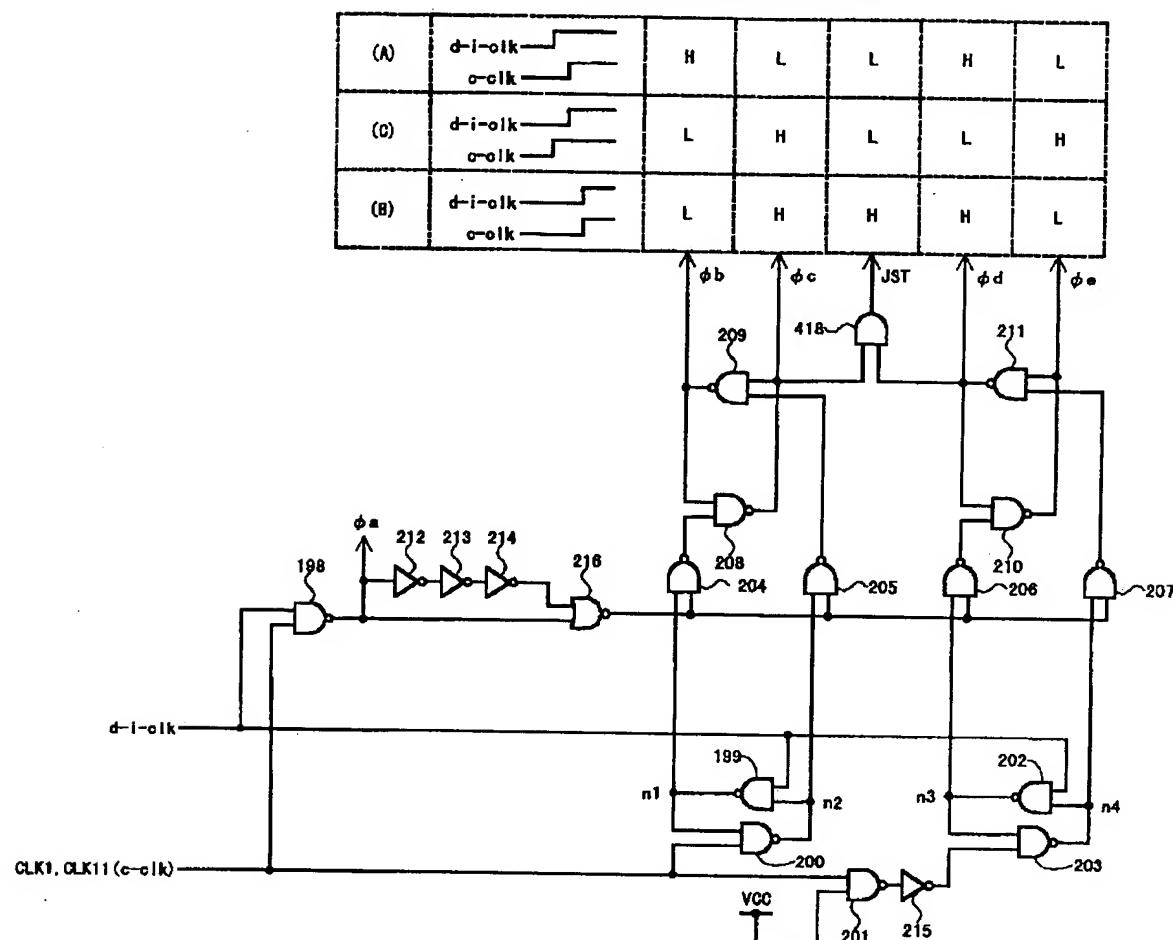


【図10】



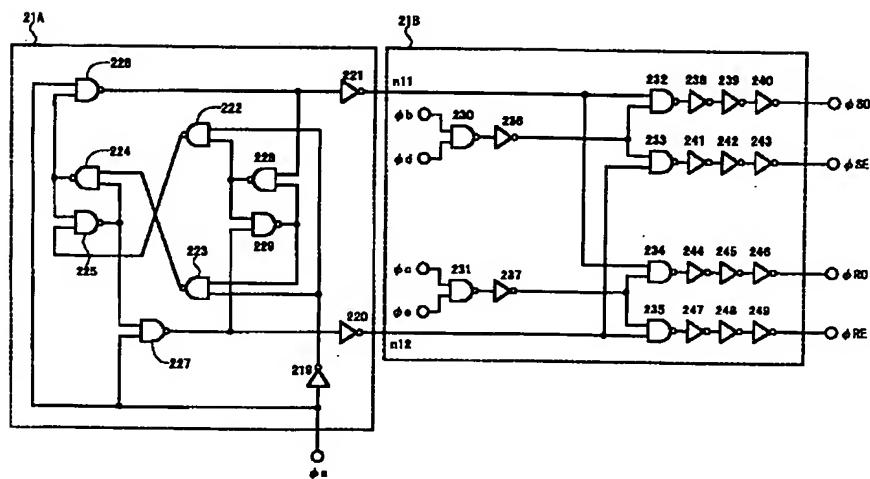
【図12】

位相比較回路の位相比較部



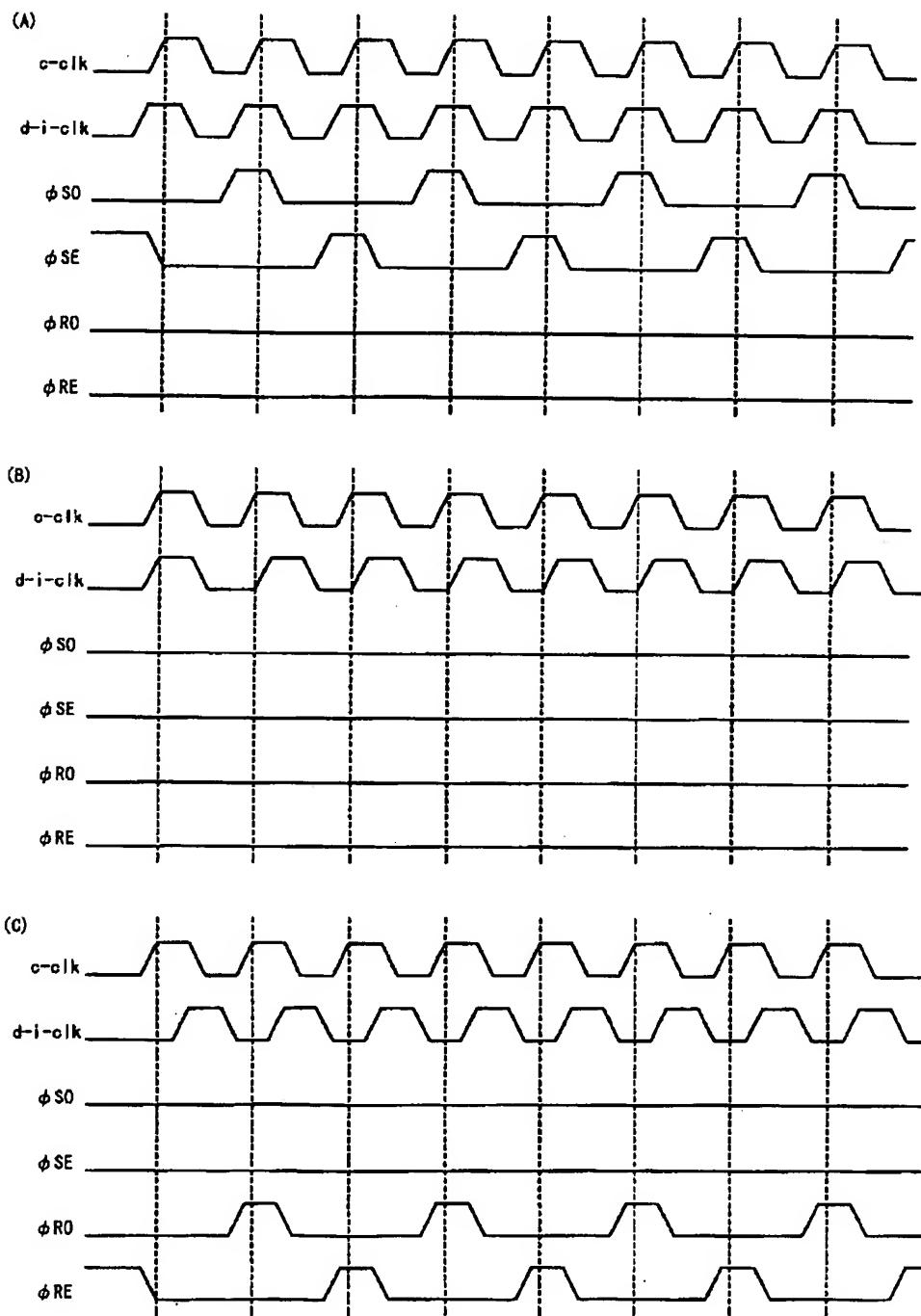
【図14】

位相比較回路の出力部の構成を示す回路図



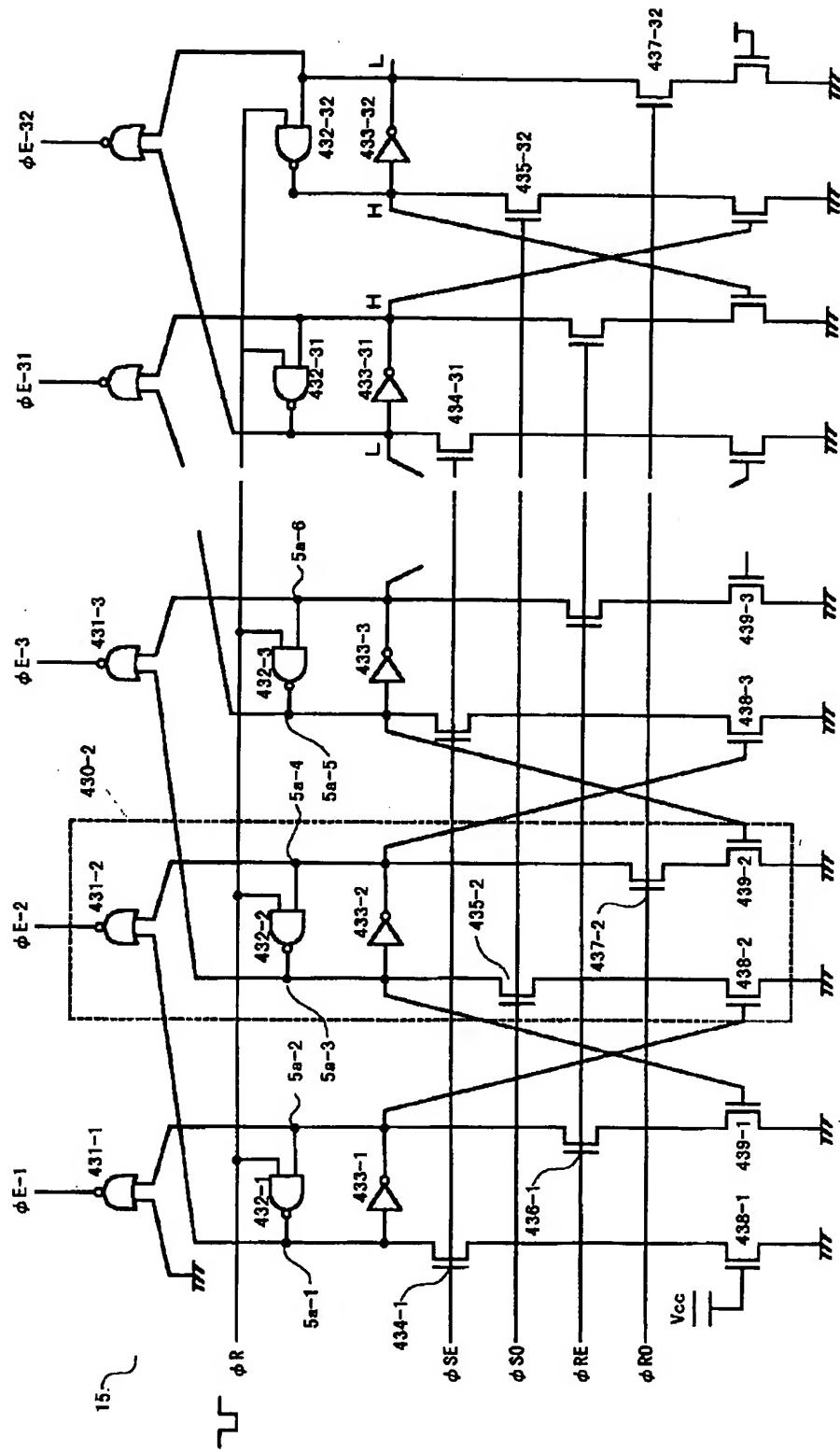
【図15】

位相比較回路の出力部の動作を示す波形図



【図16】

遅延制御回路の構成例



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	マークコード (参考)
// H 0 3 K	5/135	G 1 1 C 11/34	3 5 4 C
			3 6 2 S

F ターム(参考) 5B024 AA03 BA21 BA23 CA07 CA11
EA01
5B079 AA07 CC02 CC08 CC14 CC17
DD03 DD06 DD17
5J001 AA11 BB10 BB11 BB12 BB14
BB24 CC03 DD01 DD04
5J106 AA03 CC21 CC52 CC58 DD24
GG04 HH02 KK32 KK37 LL02
5L106 AA01 AA02 DD12 DD32 DD37
EE03 FF05 GG03 GG07